

PCT

WORLD INTELLECTUAL PROPERTY ORGANIZATION
International Bureau

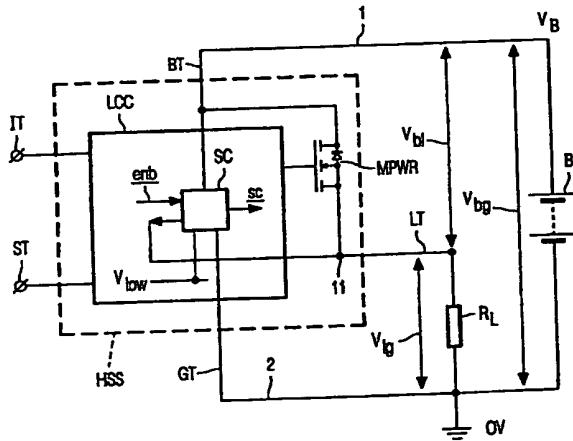


INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(51) International Patent Classification 6 : H03K 17/082, G01R 31/02	A1	(11) International Publication Number: WO 98/37630
		(43) International Publication Date: 27 August 1998 (27.08.98)

(21) International Application Number: PCT/IB98/00138	(81) Designated States: JP, KR, European patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
(22) International Filing Date: 2 February 1998 (02.02.98)	Published <i>With international search report. Before the expiration of the time limit for amending the claims and to be republished in the event of the receipt of amendments.</i>
(30) Priority Data: 9703453.2 19 February 1997 (19.02.97) GB 9716839.7 8 August 1997 (08.08.97) GB	
(71) Applicant: KONINKLIJKE PHILIPS ELECTRONICS N.V. [NL/NL]; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL).	
(71) Applicants (for SE only): PHILIPS NORDEN AB [SE/SE]; Kottbygatan 7, Kista, S-164 85 Stockholm (SE). KELLY, Brendan, Patrick [/SE]; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).	
(74) Agent: STEVENS, Brian, T.; Internationaal Octrooibureau B.V., P.O. Box 220, NL-5600 AE Eindhoven (NL).	

(54) Title: POWER DEVICE WITH A SHORT-CIRCUIT DETECTOR



(57) Abstract

A power device circuit comprises a power semiconductor device (MPWR) in series with a load (LD) between a power supply line (1) and a return line (2), and a short-circuit detector (R1, R2, ... R1', R2', ... CP) for determining whether the load (LD) is short-circuit. The short-circuit detector examines the distribution of the supply-to-return voltage (V_{bg}) between the device (MPWR) and the load (LD) by comprising a comparator (CP) which has a first input (+) coupled to a series node (11) between the device and load and a second input (-) comprising a voltage source (Vbg') which is a predetermined function of the supply-to-return voltage (V_{bg}). By so comparing the voltage (V_{dl}) at the series node (11) with the predetermined function of the supply-to-return voltage (V_{bg}), the detector (SC) provides an output signal (SC) indicating whether or not a short-circuit is present. Preferably pinch-resistors (R1, R2) or a voltage-clamp (ZD) are used with the circuit means (R1, R2, ..., R1', R2', ...), so that the predetermined function of the supply-to-return voltage (V_{bg}) input to the comparator (CP) varies with the magnitude of the supply-to-return voltage (V_{bg}). By this means a lower percentage of the supply-to-return voltage (V_{bg}) can be input at a higher magnitude of the supply-to-return voltage (V_{bg}) than at a lower magnitude.

BEST AVAILABLE COPY

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号
特表2000-509933
(P2000-509933A)

(43) 公表日 平成12年8月2日(2000.8.2)

(51) Int.Cl.
H 03 K 17/08
H 01 L 29/78
H 03 K 17/687

識別記号

F I
H 03 K 17/08
17/687
H 01 L 29/78

C
A
6 5 7 G

テマコード(参考)

審査請求 未請求 予備審査請求 未請求(全29頁)

(21) 出願番号 特願平10-529235
(86) (22) 出願日 平成10年2月2日(1998.2.2)
(85) 翻訳文提出日 平成10年10月19日(1998.10.19)
(86) 國際出願番号 PCT/IB98/00138
(87) 國際公開番号 WO98/37630
(87) 國際公開日 平成10年8月27日(1998.8.27)
(31) 優先権主張番号 9703453.2
(32) 優先日 平成9年2月19日(1997.2.19)
(33) 優先権主張国 イギリス(GB)
(31) 優先権主張番号 9716839.7
(32) 優先日 平成9年8月8日(1997.8.8)
(33) 優先権主張国 イギリス(GB)

(71) 出願人 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
オランダ国 5621 ペーー アンド一
フエン フルーネヴァウツウェッハ 1
(72) 発明者 ケリー ブレンダン パトリック
オランダ国 5656 アーー アンド一
フエン プロフ ホルストラーン 6
(74) 代理人 弁理士 杉村 晓秀(外5名)

最終頁に続く

(54) 【発明の名称】 短絡検出器を有するパワーデバイス

(57) 【要約】

パワーデバイス回路は、給電線(1)と帰線(2)との間における負荷(LD)と直列のパワー半導体デバイス(MPWWR)と、負荷(LD)が短絡しているかどうかを確かめる短絡検出器(R1, R2, —R1', R2', —CP)とを具えている。短絡検出器は、比較器(CP)を具えていることによってパワーデバイス(MPWR)と負荷(LD)との間の対帰線供給電圧(Vbg)の配分量を調べる。比較器(CP)はパワーデバイスと負荷との間の直列ノード(11)に結合される第1入力端子(+)及び給電線と帰線(1と2)との間に結合されて、対帰線供給電圧(Vbg)の予定閾数である電圧供給信号(Vbg')を供給する回路手段(R1, R2, —R1', R2', —)からの第2入力端子(—)を有している。検出器(SC)は、直列ノード(11)における電圧(Vdl)を対帰線供給電圧(Vbg)の予定閾数の電圧供給信号と比較することによって、短絡があるか、ないかを示す出力信号を供給する。好ましくは、ピンチ抵抗(R1, R2)又は電圧クランプ(ZD)を回路手段(R1, R2, —R1', R2', —)と一緒に用い

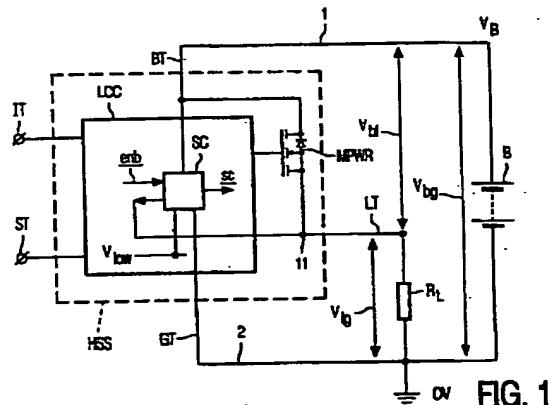


FIG. 1

【特許請求の範囲】

1. 給電線と帰線との間における負荷と直列のパワー半導体デバイス及び前記負荷が短絡しているかどうかを確かめる短絡検出器を具えており、回路の作動中に給電線と帰線との間に對帰線供給電圧を供給するパワーデバイス回路において、前記短絡検出器に比較器を設けることにより前記デバイスと前記負荷との間の對帰線供給電圧の配分量を検査し、前記比較器が前記デバイスと前記負荷との間の直列ノードに結合された第1入力端子及び前記給電線と前記帰線との間に結合されて、前記對帰線供給電圧の予定閾数である電圧供給信号を供給する回路手段からの第2入力端子を有し、前記直列ノードにおける電圧を前記對帰線供給電圧の予定閾数と比較することによって、短絡があるか、ないかを示す出力信号を前記比較器が供給するようにしたことを特徴とするパワーデバイス回路。
2. 前記回路手段によって取り出される對帰線供給電圧の予定閾数の電圧が、低い値の對帰線供給電圧におけるよりも高い値の對帰線供給電圧にて低い割合の對帰線供給電圧を前記比較器へ入力するよう、對帰線供給電圧の大きさに応じて変化するようにしたことを特徴とする請求の範囲1に記載のパワーデバイス回路。
3. 前記回路手段が、前記給電線と前記帰線との間に直列に結合された第1及び第2抵抗を有する抵抗分圧器を具え、前記第1抵抗と第2抵抗との間の直列ノードを前記比較器の第2入力端子に結合させて、前記對帰線供給電圧の予定少量電圧分を前記比較器の第2入力端子へ供給するようにしたことを特徴とする請求の範囲2に記載のパワーデバイス回路。
4. 前記比較器の第1入力を前記デバイスと前記負荷との直列ノードから直接取り出すようにしたことを特徴とする請求の範囲3に記載のパワーデバイス回路。
5. 前記回路手段が2つの並列アームを有する抵抗分圧器を具え、第1アームが前記對帰線供給電圧の予定少量電圧分を供給すべく第1及び第2抵抗を具え、且つ第2アームが前記給電線と前記デバイス及び負荷の直列ノードとの間に直

列に結合された第3及び第4抵抗を具え、該第3抵抗と第4抵抗との間の直列ノードを前記比較器の第1入力端子に結合させたことを特徴とする請求の範囲3に記載のパワーデバイス回路。

6. 前記抵抗を、抵抗値が電圧に応じて増大するピンチ抵抗として、低い電圧値におけるよりも高い電圧値にて低い割合の電圧が比較器へ入力されるようにしたことを特徴とする請求の範囲3～5のいずれか一項に記載のパワーデバイス回路。
7. 前記各ピンチ抵抗が、上に横たわるプレートの下側からの空乏層と、反対導電形の領域とのp-n接合個所における空乏層とによって空乏化される一導電形の半導体抵抗領域を具えていることを特徴とする請求の範囲6に記載のパワーデバイス回路。
8. 前記短絡検出器が、電流ミラー比較器の第1及び第2並列アームに電圧-電流変換器を具え、前記第1アームを前記給電線と帰線との間に結合させると共に、該第1アームに第1及び第2抵抗から成る抵抗分圧器を含め、前記第2アームを前記給電線と前記デバイス及び負荷の直列ノードとの間に結合させ、且つ前記第1抵抗と第2抵抗との間の直列ノードに電圧リミッタを結合させて、前記比較器に入力する前記対帰線供給電圧の予定関数の電圧を高い対帰線供給電圧にて制限するようにしたことを特徴とする請求の範囲2に記載のパワーデバイス回路。
9. 前記短絡検出器を前記パワー半導体デバイスと一緒に半導体本体に集積化したことを特徴とする請求の範囲1に記載のパワーデバイス回路。

【発明の詳細な説明】

短絡検出器を有するパワーデバイス

本発明は短絡検出器を有するパワー半導体デバイスを具えている、例えば自動車のスイッチングアプリケーションのパワーデバイス回路に関するものである。パワー半導体デバイスは、例えば絶縁ゲート電界効果トランジスタ（以後“MOSFET”と称する）、絶縁ゲートバイポーラトランジスタ（以後“IGBT”と称する）又はバイポーラトランジスタとすることができる。短絡検出器は、デバイスの負荷が短絡しているかどうか、例えば、パワー半導体デバイスが作動させるランプ又はバルブが短絡状態になった場合に、対帰線供給電圧の大部分が直接パワー半導体デバイスの両端間に直接かかるかどうかを確かめる働きをする。

短絡検出法として主として2通りの策が既に提案されており、これらの策はいずれもパワー半導体デバイスMPWRをターン・オンさせた後しばらくして、例えば $150\mu s$ のような時点に使用可能とする負荷電圧検出器を伴なうものである。こうした2通りの策を図7a及び図7bに示してあり、これらの図における回路ブロックSC'は短絡検出器を示している。

(a) $V_{bl}(to)$ 検出器 (図7a)

この方法では、バッテリの給電線1と負荷端子11との間におけるパワーデバイスMPWR間の電圧降下 V_{bl} を基準回路REFからの一定のしきい値電圧 $V_{bl}(to)$ と比較する。代表的な12ボルトの自動車用システムでは $V_{bl}(to)$ を約6~10ボルトに設定したりする。パワーデバイス間の電圧降下 V_{bl} が低く、 $V_{bl}(to)$ 以下のままである場合には、負荷RLは正常と見なせるが、電圧降下 V_{bl} が $V_{bl}(to)$ 以上となる場合には、負荷RLは短絡していると見なせる。正常と短絡状態との間の転換部を表わす負荷抵抗値は次式によって与えられる。

$$R_{load} = (V_{bg} - V_{bl}(to)) / I_{load}$$

ここに、 I_{load} は高一側パワーデバイスMPWRの出力電流であり、 V_{bg} は給電線1と帰線2との間の対接地バッテリ電圧である。

この方法には次のように問題がある。

(i) 「短絡」負荷抵抗値がバッテリ電圧 V_{bg} とパワーデバイスの出力電流 I_{load}

a_d とに強力に依存する関数となるのに対し、エンドユーザは短絡によって負荷抵抗 R_{load} が一定値（例えば 10 mオーム）になると考えがちである。

(ii) $V_{bg} < V_{bl}(to)$ となる低いバッテリ電圧の場合には「短絡」状態を検出できない。従って、その診断機能部が不作動となり、過剰温度でシャットダウンするような他の保護機能部に頼らざるを得ない。デバイス MPWR はかなりの時間大量の電力を消費し続けて、システム全体又はモジュールに許容できない温度上昇をまねくことになる。

(iii) この形態の最も簡単な検出器 SC は $V_{bl}(to)$ の値を決定するのにアバランシェダイオードを用いているが、これらのダイオードは初期のアバランシェ電圧でかなりのプロセス変動を呈しがちで、しかも動作中に劣化してしまう。

このような検出回路は、しきい値電圧 $V_{bl}(to)$ を物理的に発生させる必要がある。

(b) $V_{bl}(to)$ 検出器 (図 7 b)

この方法では、対接地線負荷電圧 V_{lg} 、即ち負荷 R_L 間に印加される電圧を一定のしきい値電圧 $V_{lg}(to)$ と比較する。代表的な 12 ボルトの自動車用システムは、 $V_{lg}(to)$ を約 2 ~ 6 ボルトに設定したりする。負荷 R_L 間の電圧 V_{lg} が上昇しており、 $V_{lg}(to)$ 以上のままである場合には、負荷は正常と見なされるが、負荷 R_L 間の電圧 V_{lg} が $V_{lg}(to)$ 以下となる場合には、負荷 R_L は短絡していると見なされる。正常と短絡状態との間の転換部を表わす負荷抵抗値は次式によって与えられる。

$$R_{load} = V_{lg}(to) / I_{load}$$

この方法には次のような問題がある。

(i) $V_{bg} < V_{lg}(to)$ となる低い対接地バッテリ電圧の場合に、負荷の実際の本質に無関係に負荷が常に短絡状態にあると決められてしまう。従って、正規の動作条件にとって有効な $V_{lg}(to)$ の値が適切な低いバッテリ電圧の機能性を除外しがちである。

(ii) 高いバッテリ電圧 V_{bg} に対しては、負荷 R_L 間に数ボルトの電圧が発生する場合に、短絡として検出しないで極めて高い電力消費をまねくことになる。こ

の場合には、過剰温度によりシャットダウンするような他の保護機能部に頼らざるを得ない。デバイスMPWRはかなりの時間にわたり大量の電力を消費し続けて、システム全体又はモジュールに許容できない温度上昇をまねくことになる。

(iii) この場合にも物理的な電圧しきい値を必要とする。

米国特許明細書U.S.-A-4, 929, 884（本出願人の参考番号PHB 3 3363）には、パワー半導体デバイス用の様々なモニタ及び／又は保護回路、例えば温度検知回路及び短絡検出回路が開示されている。このU.S.-A-4, 929, 884の全内容を参考資料としてここに含めるものとする。特に、U.S.-A-4, 929, 884には、負荷端子と接地端子との間に接続した2つの抵抗から成る分圧器を具えている短絡検出回路が開示されている（U.S.-A-4, 929, 884の図11）。斯かる分圧器の出力は電流ミラーに供給され、且つ処理されて、パワー半導体デバイスがオンしている際に斯かる出力が（負荷間の高電圧の代わりに）低くなる場合にターンオフ信号をパワーデバイスに供給する。U.S.-A-4, 929, 884の短絡検出器は本願の図7bに示した前記第2の方法の特別な形態のものである。この米国特許の図11の回路におけるしきい値電圧 $V_{lg}(to)$ はトランジスタT117のしきい値 V_{gs} によって遙倍される分圧比 $(RD20+RD21)/RD21$ によって物理的に決定される。T117のしきい値 V_{gs} は電流ミラー402のミラー比、端子116及びRD23における V_{low} の値及び後続するT119～T120のインバータのしきい値にも依存する。従って、U.S.-A-4, 929, 884の図11の回路におけるしきい値電圧 $V_{lg}(to)$ は、製造プロセスに依存する幾つかのファクタ、特にT117の V_{gs} のしきい値及びRD23の抵抗値によって左右される。

本発明の目的は、本願の図7a及び図7bを参照して説明したような以前の主要な2通りの方法の欠点をなくすか、又は少なくともその大部分をなくす新規な方法に基づく短絡検出器を有するパワー半導体デバイスを提供することにある。

本発明は、給電線と帰線との間における負荷と直列のパワー半導体デバイス及び前記負荷が短絡しているかどうかを確かめる短絡検出器を具えており、回路の作動中に給電線と帰線との間に對帰線供給電圧を供給するパワーデバイス回路において、前記短絡検出器に比較器を設けることにより前記デバイスと前記負荷と

の間の対帰線供給電圧の配分量を検査し、前記比較器が前記デバイスと前記負荷との間の直列ノードに結合された第1入力端子及び前記給電線と前記帰線との間に結合されて、前記対帰線供給電圧の予定関数である電圧供給信号を供給する回路手段からの第2入力端子を有し、前記直列ノードにおける電圧を前記対帰線供給電圧の予定関数と比較することによって、短絡があるか、ないかを示す出力信号を前記比較器が供給するようにしたことを特徴とするパワーデバイス回路にある。

本発明は、短絡を検出するのに、パワーデバイスと負荷との間の対接地供給電圧の配分量を検査するようにして、或る絶対的なしきい値比較電圧を発生する必要性をなくすことにより、検出器の精度及び長期安定性を改善する新規な方法を提供する。従って、図7a及び図7bの以前提案されたものとは異なり、独立して物理的に決定する電圧と比較することがない。その代わり、本発明によれば、直列ノードの電圧を印加電圧の予定関数の電圧と単に比較する。図7aの回路とは異なり、本発明による回路は極めて低い供給電圧に対しても短絡負荷を指示することができる。図7bの回路とも異なり、本発明による回路は正規の負荷の場合に、極めて低い供給電圧でも適切に作動させることができる。

本発明は特に、自動車のスイッチングアプリケーションにて生じ得るバッテリ条件及び短絡のタイプに対処するのに有効である。従って、電圧供給はバッテリ、例えば自動車回路における高圧給電線に結合される自動車用バッテリからとすることができます。基準電位にある帰線は通常「接地」線と称されるが、これは実際には、例えば自動車回路にて知られているように、大地電位に対するバイアスレベルとすることができます。以下の説明を簡単にするように、ここでは対帰線供給電圧を“ V_{bg} ”と称し、パワー半導体デバイスと負荷との間の直列ノードにおける電圧を“ V_{dl} ”と称する。

本発明による特に有利な好適例によれば、回路手段によって取り出される V_{bg} の予定関数の電圧が、低い大きさの V_{bg} におけるよりも高い大きさの V_{bg} にて低い割合の V_{bg} を比較器へ入力するように、 V_{bg} の大きさに応じて変化するようになる。こうして、 V_{dl} 用の可変検出しきい値を V_{bg} の関数となるようにする。図7bの回路とは異なり、本発明による斯種の回路を有するパワーデバイス間の

最大許容電圧（従って、パワーデバイスにおける電力消費）は高い V_{bg} の値で急激には上昇し続けないで、その代りに許容安全値にて平らになるようにすることができる。電圧を制限又はクランプするのにピンチ抵抗及び／又ははツエナーダイオードを用いることができる。比較器の入力を1個以上の抵抗分圧器から取り出す場合には、電圧の制限／クランピングによって分圧比を変えて、 V_{bg} のフルレンジの値、例えば5～50Vのバッテリ電圧全体にわたり、短絡を確実且つ安全に検出し、短絡負荷から保護することができる。

本発明の他の好適例は、パワー半導体デバイスと、該デバイスの負荷が短絡しているかどうかを確かめる検出器とを具えているパワーデバイス回路において、短絡検出器が、 V_{bl} を V_{bg} の予定関数と比較することによって、パワーデバイスと負荷との間の V_{bg} の配分量を検査し、比較器に入力される V_{bg} の割合が低い V_{bg} におけるよりも高い V_{bg} にて低くなるようにする。

給電線と帰線との間に結合させた回路手段による電圧供給信号の供給に関しては、この電圧供給信号の大きさを V_{bg} の大きさよりも小さくするのが普通である。従って、この大きさの電圧供給信号の方が、パワー半導体デバイス及び／又はその負荷から取り出される電圧信号との比較にとっては、 V_{bg} を比較器の入力端子へ供給するよりもコンパチブルである。下記に説明するように、既知の構成の回路素子を適当に用いることによって V_{bg} の様々な関数を取り出すことができる。

電圧供給信号を V_{bg} の或る予定した関数として提供する回路手段は給電線と帰線との間に直列に結合した第1及び第2抵抗を有する抵抗分圧器で構成することができる。第1抵抗と第2抵抗との間の直列ノードは、 V_{bg} の予定した少量電圧分を供給すべく比較器の第2入力端子に結合させることができる。比較器の第1入力はパワーデバイスと負荷との直列ノードから直接取り出すことができる。これにより回路が極めて簡単となる。しかし、高いパフォーマンスを呈する回路を設計するには、比較器の第1入力も抵抗分圧器から取り出すのがよい。従って、例えば、電圧供給信号を V_{bg} の予定関数として取り出す回路手段を、2つの並列アームを有する抵抗分圧ネットワークで構成し、第1アームが V_{bg} の予定少量電圧分を供給する第1及び第2抵抗を具え、且つ第2アームが給電線とパワーデバ

イス及び負荷間の直列ノードとの間に直列に結合させた第3及び第4抵抗を具え、第3抵抗と第4抵抗との間の直列ノードを比較器の第1入力端子に結合するようになることができる。

従って、本発明による短絡検出器は、抵抗値が電圧に応じて増加するピンチ抵抗から成る抵抗分圧器及び／又は抵抗ネットワークで構成して、低い電圧値におけるよりも高い電圧値にて低い電圧少量部が比較器に入力されるようにすることができる。パワー半導体デバイスを、DMOS技法を用いて形成されるMOSFET又はIGBTとする場合には、これらのピンチ抵抗はトランジスタ本体への軽ドープのドーピング段を用いて容易に形成することができる。各ピンチ抵抗は反対導電形の領域とのpn接合個所での空乏層及び／又は上に横たわるプレートの下側からの空乏層によって空乏化される一導電形の半導体抵抗領域で構成することができる。

短絡検出器は、例えば電流ミラー比較器の第1及び第2アームにおける電圧－電流変換器で構成することができる。第1アームは給電線と帰線との間に結合させ、この第1アームに第1及び第2抵抗から成る抵抗分圧器を含めることができる。第2アームは給電線とデバイス及び負荷の直列ノードとの間に結合させることができる。電圧リミッタ、例えばツェナーダイオードを第1抵抗と第2抵抗との間の直列ノードに結合させて、比較器へ入力するV_{bg}の予定閾数を高いV_{bg}にてクランプ（又は制限）することができる。

短絡検出器は分圧器及び／又はネットワークを比較器と給電線及び／又は帰線とに結合させるイネーブル分離スイッチを有しているこれらの分圧器及び／又はネットワークで構成することができる。ネットワークを接続する給電線そのものを切換自在とし、比較器に分離入力端子を持たせることもできる。

本発明による回路構成並びに（所望される場合の）追加の回路機能部及びそれらのデバイス構成のものは、U.S.-A-4, 929, 884及びU.S.-A-5, 563, 760に記載されているような既知の集積回路技法及び／又はここに開示したような新規な集積回路デバイス構体の技法を用いることによってパワー・デバイスと一緒に集積化することができる。従って、両米国特許明細書U.S.-A-4, 929, 884及びU.S.-A-5, 563, 760は斯種のパワー半導体デバ

イスにとって有利な様々なモニタ及び／又は保護回路を開示している。U.S.-A-5, 563, 760 (本願人の参考番号PHB33667) の全内容をここに参考資料として含めるものとする。

以下添附図面を参照して本発明を実施例につき説明するに、ここに：

図1は本発明によるパワーデバイス回路の一実施例のブロック図であり；

図2は図1の回路における短絡検出器にピンチ抵抗を含む一例の回路図であり；

図3は対負荷供給電圧 V_{b1} 用の可変検出しきい値 $V_{b1}(to)$ の一例を図2の回路に対する対接地供給電圧 V_{bg} の関数としてプロットした特性図であり；

図4は図1の回路における短絡検出器にツェナ電圧クランプを含む他の例の回路図であり；

図5は対負荷供給電圧 V_{b1} 用の可変検出しきい値 $V_{b1}(to)$ の一例を図4の回路に対する対接地供給電圧 V_{bg} の関数としてプロットした特性図であり；

図6a～図6fは図1の回路の半導体構成部品（パワーデバイス及び短絡検出器）を構成する半導体本体のうちの、種々の部分の断面図であって、図1の半導体回路部品を既知のDMOS法を用いて如何にしてパワーMOSFET又はIGBTと一緒に集積化し得るかを示している断面図であり；

図7a及び図7bは短絡検出用に既に提案されており、本発明によるものではない主要な2種類の回路の回路図である。

図面は図式的に示したものであって、実寸図示したものではないことに留意すべきである。図6a～図6fのデバイス部分の相対寸法及び比率は図面をわかり易くするために拡大又は縮小寸法にて示してある。

図1のパワーデバイス回路は給電線1と接地点との間に負荷 R_L と直列にパワー半導体デバイスMPWRを具えている。電力はバッテリB、例えば給電線1と接地点との間に結合される自動車用回路における車両用バッテリから給電することができる。回路における接地点は帰線2における基準電位(0V)とする。デバイスMPWR、例えばMOSFET又はIGBTは自動車回路におけるスイッチとすることができます。負荷 R_L は、例えば自動車回路におけるランプとすることができます。図1の回路では、負荷 R_L がデバイスMPWRの出力端子（負荷端

子L T) と帰線2との間に結合されている。従って、図1の回路のデバイスMP

WRは所謂「高一側スイッチ」(“High-Side Switch”)HSSであり、これは負荷RLの接地側(0V)と云うよりもむしろ、高電圧側(VB)に位置している。

「対接地供給電圧」Vbg、「対負荷供給電圧」Vbl及び「対接地負荷電圧」Vlgとは、図1の回路に示した各接続点間の電圧のことである。

パワー半導体デバイスMPWRのスイッチング動作を制御するための半導体論理制御回路LCCはパワーデバイスMPWRと一緒に集積化する。この制御回路LCCは、図1における輪郭線HSS内に含めて示してあるように、デバイスMPWRのデバイスパッケージ内に含める。HSSパッケージは、パワーデバイスMPWRの主電極に結合させた給電端子BT及び負荷端子LTと回路LCCによってパワーデバイスMPWRの制御電極に結合させた入力端子ITと、接地端子GTと、パワーデバイスMPWRの動作状態を示す(オプションの)状態端子STとを有している既知の5-端子タイプのものとする。

制御回路LCCは、例えばUS-A-4, 929, 884に開示されている有利な方法でデバイスMPWRと一緒にモノリシックに集積化することができる。この場合には、制御回路LCCの低電圧半導体部品をHSS内にて発生されると共に、給電線1に結合させた高圧給電端子BTの電圧に対して調整される低電圧の供給電圧Vlowにより作動させることができる。

制御回路LCCは、本発明による短絡検出器SC並びに、例えば温度検知用の既知のモニタ及び保護回路を含んでいる。短絡検出器SCは、負荷が短絡しているか、否か、例えばデバイスMPWRによって作動させた負荷RLが短絡状態となった場合に、例えば対接地供給電圧Vbgの大部分が直接パワー半導体デバイスMPWR間にかかるかどうかを確かめる。検出器SCの出力信号scは制御回路LCCにより既知の方法にて用いられて、デバイスMPWRの動作を制御し、且つ状態端子STに適当な状態信号を与える。検出器SCは、制御回路LCCの入力端子IT及び内部ノードにおける信号から制御回路LCCにて既知の方法で論理的に取り出されるイネーブル信号enbによって使用可能状態にすることができる。

本発明によれば、図1の短絡検出器SCがデバイスMPWRと負荷RLとの間のVbgの配分量を、給電線1と帰線2との間に結合されて、電圧供給信号をVbg

の予定した閾数として取り出す回路手段(R1, R2, —, R1', R2' — —図2及び図4参照)と、デバイスMPWRと負荷RLとの間の直列ノード11に接合される第1入力端子(+)及び回路手段(R1, R2, —, R1', R2' —)に結合される第2入力端子(—)を有する比較器(CP, 図2及び図4参照)とによって調べるようにする。このようにして、給電線1と負荷RLとの間の電圧VblをVbgの予定閾数と比較して、短絡があるかないかを示す出力信号scを発生させるようにする。この短絡検出回路は、ターン・オン後しばらくして、スイッチHSSが所定の負荷RLを駆動すべく制御していたかどうか、又は負荷RLを「短絡負荷」として見なすべきかどうかを決める新規な方法である。後者の場合には、パワー・デバイスMPWRを迅速にターン・オフさせて熱応力を低減させたり、及び／又は診断信号を発生させて、アプリケーションモジュール及び／又はエンドユーザーに警告したりすることができる。

図2の特定実施例に示した回路手段は、2つの並列アームにピンチ抵抗R1, R2, R3, R4を有している整合させた抵抗分圧器の回路網を具えている。第1アームは、給電線1と帰線2との間に直列に結合されて、Vbgの所望な予定少量電圧分を供給する第1及び第2抵抗R1及びR2を具えている。第2アームは給電線1とデバイスMPWR及び負荷RLの直列ノード11との間に直列に結合された第3及び第4抵抗R3及びR4を具えている。抵抗R3とR4との間の直列ノード12は比較器CPの第1入力端子(+)に結合されるのに対し、比較器CPの第2入力端子(—)は抵抗R1とR2との間の直列ノード13に結合されている。抵抗R1～R4は、低い値のVbgにおけるよりも高い値のVbgにて低い割合のVbgを比較器CPへ入力して、Vblに対する可変検出しきい値Vbl(to)をVbgの閾数として供給するように、電圧に応じて増大する抵抗値を有するピンチ抵抗とする。

この短絡検出に対する新規の検出法はアバランシェダイオードの如き、絶対的なしきい値の必要性をなくし、従って検出器の精度及び長期安定性が改善される

。抵抗R1, R2, R3, R4は、かなりのJ-Fetピンチオフを呈すべく設計し、これにより分圧比を変えて、例えば5~50ボルトのようなバッテリ電圧のフルレンジがかかる短絡負荷を確実に且つ安全に検出して、短絡負荷からの保護をすることができる。

回路はV_{bg}の関数である可変検出しきい値V_{b1}(to)、即ちV_{b1}(to) = f(V_{bg})を有効に発生する。これは本発明の図2の実施例の必須事項である。例えば、低いV_{bg}では実効しきい値V_{b1}(to)をV_{bg}の2/3に設定することができるが、高いV_{bg}では、実効しきい値V_{b1}(to)を、例えばV_{bg}の2/5に増やすに過ぎない。図2のピンチー抵抗ネットワークで達成し得るこのタイプの特性の一例を図3に示してある。

先の提案の図7aのものとは異なり、本発明による図2のタイプの回路でのパワーデバイスMPWR間に許容される最大電圧V_{b1}(及びこのデバイスでの電力消費)は、図7bの回路とは異なり、高いV_{bg}の値にて急激には上昇し続けるで、その代わりに、許容最大電圧が許容安全値にて平らになるようとする。本発明による図2のタイプの回路では、印加電圧の簡単な関数を代わりに用いるため、図7a及び図7bの先の提案とは異なり、独立した物理的に決められる電圧と比較することができない。

図2に示した好適回路の実施例では、R3及びR4が、V_{b1}を一般的な精度の(例えば、CMOS)比較器で比較するのに好適なレベルにまで下げる分圧器を形成し、R1及びR2もV_{bg}に対して同様な分圧器を形成し得るようにする。R₃/(R₃+R₄)に対するR₁/(R₁+R₂)の比が図3におけるV_{bg}の関数に対するV_{b1}(to)の初期勾配を決定する。

R1~R4の抵抗本体は、反対導電形のバルク領域100b(N-)内に形成されて、バッテリに接続されるバルク領域100b(N-)に対してかなりのJ-Fetピンチオフを与える比較的導電率の低い抵抗領域25(P)を有するバルクデバイスとして形成することができる(図6d参照)。これらの抵抗には、給電線1に接続されて抵抗領域25に別のMOS空乏効果をもたらす頂部プレート50(例えば、ポリシリコン製)を設けることもできる。しかし、この頂部プ

レート50は、特性を直線的なものとしなければならない場合には最大の負荷抵抗端子に接続することもできる。

アイソレーションMOSFETのM1～M4は、HSSのパワーデバイスがターン・オフする場合に、電流が抵抗R1～R4に流れるのを阻止して、このオフ状態

ではバッテリから極めて僅かな漏れ電流しか引き出されないようにする。HSSのパワーデバイスがターン・オンした後には、MOSFETのM1～M4がそれらのゲート電極のイネーブル信号e_n_bの印加によりターン・オンする。好適実施例では、M1及びM2が抵抗ネットワークR1, R2, R3, R4をバッテリから隔離すると共に、M3及びM4が分圧器のタップを比較器CPから隔離する。

上述したようなV_{bg}の関数に対するV_{bl}(t₀)を用いることにより次のような利点が得られる。低いバッテリ電圧での機能性及び短絡検出を維持するも、バッテリ電圧V_{bg}が増えた場合に、許容電力消費量は左程大きくは増えない。このようにするピンチオフ抵抗法によれば、どんな場合であろうと、即ちバッテリ電圧V_{bg}が低い値でも、優れた精度を呈し、またV_{bg}の高い値での許容電圧消費量の増加も抑えられる。

殆ど全ての実際の事態に対して、短絡負荷を検出して、HSSのパワーデバイスを迅速にターン・オフさせて、このパワーデバイスや、モジュールや、配線の加熱を最小にする。

他の検出器と同じように、検出器SCは、HSSを適切にターン・オンさせて、負荷を駆動させるのに充分な時間をとれるようにターン・オン開始後しばらくの間不作動とすべきである。この図2の回路の例では、比較器CPそのものの出力を、イネーブル信号e_n_bがまだアクティブでない遅延期間中強制的に不作動のままとすることができます。このための遅延回路及びロジックは既知のものとすることができる。

本発明による図2のタイプの回路はもっと簡単な形態の回路に変形することもできる。この簡単な回路でも、V_{bg}の予定した関数の電圧を比較器の一方の入力(-)として与えるために抵抗分圧器（例えば、抵抗R1及びR2）を有している。しかし、この簡単な変形例では、比較器の他方の入力(+)をパワー半導体

デバイスMPWRと、その負荷RLとの直列ノード11から直接取出す電圧とし、即ちR4を0オームとする。図2のこの変形例では、R3及びM2を省いたり、比較器CPの入力端子(+)及び(-)におけるM3及びM4を省いたりすることもできる。

検出しきい値Vbl(to)をVbgの関数とするコンセプトは図3に示したようなピ

ンチオフスタイルの曲線に限定されるものではない。様々な回路構成で、例えば平滑曲線の代わりに1つ以上の急激な、又はステップ状の遷移部を有する直線又は曲線とし得る様々な他の関数を用いることができる。従って、例えば、図5に示すような直線的なカット・オフ関数を用いたり、又は例えば次式によって表されるような直線のオフセット関数を用いたりすることができる。

$$V_{bl}(to) = m \cdot V_{bg} + c$$

ここに、mは線形勾配であり、cはオフセットである。

図2の短絡検出器SC及びその単純化した変形例は共に、比較器CPへの入力であるVbgの予定少量電圧分が、高いVbgにおけるよりも低いVbgにて高くなつて、図3に示した可変検出しきいVbl(to)となるように、電圧で増大する抵抗値を有する抵抗(R1, R2等)を用いる。図4は同様な効果を呈するも、非ピンチ抵抗R1' ~ R3'を有する別の短絡検出回路の構成を示す。この図4の回路は給電線1と接地線2との間の分圧抵抗R1', R2' と、比較器CPを形成するMOSTのM13及びM14から成る電流ミラーとを有している。MOSTのM13及びM14から成る電流ミラーはUS-A-4,929,884の図11の回路のトランジスタT116及びT118の電流ミラーの構成に多少似ているが、本発明によるこの図4の回路では、検出しきい値Vbl(to)がVbgの強力な関数となるようとする。従って、図4の回路では、R1'及びR2'を給電線1と接地線2との間に(M13及びイネーブルMOST M1を介して)結合させ、且つM14をイネーブルMOST M2及び抵抗R3'を介してパワーデバイスMPWRと負荷RLとの直列ノード11に結合させる。この図4の回路における抵抗R', R2', R3'は電流ミラー比較器CPの2つの並列アームにおける電圧-電流変換器として作動する。R1'及びR3'の抵抗値はRとするが、R2'の抵抗値は

$R/2$ とする。一連のツェナーダイオードZDの形態の電圧クランプ回路をイネーブルMOSFET M5を介して給電線1と、 $R1'$ 及び $R2'$ の直列ノードとの間に結合させる。従って、図4における比較器CPへの入力である対接地供給電圧(V_{bg})の予定少量電圧分は、例えば図5に示すように高い V_{bg} にてクランプされる。

図6a～図6fは、図1、図2及び図4の回路に使用し得る回路部品をUS-

A-4, 929, 884における方法と似た方法で既知のDMOS技法を用いることによりパワーMOSFET又はIGBTデバイスMPWRと一緒に如何にして集積化し得るかを(半導体本体100の種々の部分の断面によって)示したものである。

慣例のDMOS技法を用いてnチャネルエンハンスマントモードタイプのパワーMOSFET又はIGBTデバイスを形成する特定例を示してある。この場合の半導体本体100は比較的低濃度にドープしたn形のシリコンエピタキシャル層100b(N-)を具えており、このエピタキシャル層はMOSFET又はIGBTデバイスのドレインドリフト領域を形成し、且つエピタキシャル層100bは比較的高濃度にドープしたn形(MOSFETの場合)又はp形(IGBTの場合)の単結晶シリコン基板100aの上に設けられている。デバイスMPWRの1つのソースセルを図6aに示してある。

ソースセルは既知のタイプのものであり、これは半導体本体領域100bの一方の主表面に隣接して、強度にドープしたn形(N+)ソース領域17を包含しているp形のトランジスタ本体領域14を具えている。領域17と100bとの間の領域14の軽ドープ(P)部分14bにおけるパワーMOSFET又はIGBTデバイスの絶縁ゲート18の下側には導通チャネルがある。ゲート18はドープした多結晶シリコン層(PS)とすることができます。図示のように、セルのp形トランジスタ本体領域14は寄生バイポーラ作用をなくすためにパワーデバイスのソース/カソード電極Sに対して短くしてある中央の強ドープ(P+)補足領域14aも有している。ソース/カソード電極S及びゲート電極G(図示せず)は、絶縁層30の頂部に設けられ、適当な接点孔を経てN+ソース領域17

及び絶縁ゲート18にそれぞれ接触させるメタライゼーションmによって形成する。ドレイン／アノード電極Dは半導体本体100の他方の主表面上に設ける。

図6 bはエンハンスマードのpチャネルMOS T、例えばDMOS技法を用いて製造し得るような図2のMOS T M1, M2, M3等に対する可能な構成例を示す。MOS Tはp導電形のソース及びドレイン領域40及び41(P+接点領域を有するP)を有し、これらのソース及びドレイン領域は、パワートランジスタ本体部分14a及び14bに対する軽ドープ(P)及び強ドープ(P+)

の双方のp形ドーピング段にてN-領域100bの箇所をドーピングすることにより形成する。ポリシリコンPS製のゲートはパワートランジスタのゲート18と同じ製造工程にて形成する。メタライゼーションパターンmの部分はこのpチャネルMOS Tのソース、ゲート及びドレインコネクタを形成する。

図6 cはエンハンスマントモードのnチャネルMOS T、例えばスカルDMOS技法を用いて製造し得るようなMOS Tに対する可能な構成例を示す。一般に、nチャネル及びpチャネルの双方のMOS Tは図2の比較器内に用いることができる。nチャネルMOS Tはパワートランジスタ本体部分14bに対する軽ドープp形ドーピング段でN-領域100bの箇所に形成したp形領域P内に形成する。このp形領域P内には、追加の軽ドープ(N)のn形ドーピング段と、パワートランジスタのソース領域17に対する強ドープ(N+)のn形ドーピング段との双方のドーピング工程によってn形ソース及びドレイン領域(N+接点領域を有するN)を形成する。このnチャネルMOS TのポリシリコンPS製のゲートはパワートランジスタのゲート18と同じ製造工程にて形成する。

図6 dはスカルDMOS技法を用いて製造し得るような、図2のピンチ抵抗R1, R2等に対する可能な構成例を示す。このピンチ抵抗領域25(P)は、パワートランジスタ本体部分14bに対する軽ドープのp形ドーピング段にてN-領域100bの箇所をドーピングすることにより形成する。このピンチ抵抗は、強ドープのパワートランジスタ本体部分14aと同じ製造工程にて形成され、且つ金属接続部mに接触させる接点領域P+を有している。ピンチ抵抗は領域100bと一緒に給電線1に接続する頂部プレート50も有している。このプレート

50は、パワートランジスタMPWRのゲート誘電体上のパワートランジスタのゲート18と同じ製造工程で抵抗領域25の上の誘電体膜上のドープしたポリシリコン(PS)によって形成する。従って、半導体抵抗領域25はMOSゲート効果(プレート50の下側の半導体表面からの空乏層)によって上から並びにJ-FET効果(領域100bとのp-n接合箇所の空乏層)によって下から空乏化することができる。プレート50は領域25と100bとの間のp-nの接合の表面終端部の上方にフィールドプレートとして延在させることもできる。

図6eは斯かるDMOS技法を用いて製造し得るような、図4のR1', R2'

'の如き非ピンチ抵抗用の可能な構成例を示す。このような特例例の非ピンチ抵抗はピンチ抵抗と同じデバイス構造をしており、同じ製造工程にて形成するが、プレート50の接続回路が相違している。従って、この特定例における抵抗領域25' (P) はN-領域100bの箇所をパワートランジスタの本体部分14bに対する軽ドープのp形ドーピング段にてドーピングすることによって形成し、且つ接点領域P+は強度にドープするパワートランジスタ本体部分14aと同じ製造工程にて形成すると共に、これらの接点領域に金属接続部mを接触させる。頂部プレート50はパワートランジスタMPWRのゲート誘電体上のパワートランジスタのゲート18と同じ製造工程にて抵抗領域25' 上の誘電体被膜上のドープしたポリシリコン(PS)によって形成する。この非ピンチ抵抗のプレート50は、その金属接続部mによってこの抵抗の負側の接点に接続する静電スクリーンとして作用する。しかし、抵抗領域25' には領域100bとのp-n接合からの空乏化を最小とするために高めのドーピング濃度を用いることができる。従って、抵抗領域25' はN-領域の箇所をパワートランジスタ本体部分14aに対する強ドープのp形(P+)・ドーピング段にてドーピングすることにより形成することができる。静電スクリーンとして作用する頂部プレート50は、このP+抵抗領域25' の上に含めることもできる。さらに、本体100内にドープした抵抗領域25' の代わりに、非ピンチ抵抗R1', R2' 等を本体100上の絶縁層の上に薄膜多結晶シリコン抵抗として既知の方法にて形成することもできる。

図6 fは、制御回路LCCにおける例えば温度センサの一部を形成するために斯かるDMOS技法を用いて製造し得るようなn-p-nバイポーラトランジスタ用の可能な構成例を示す。N-領域100bの箇所はN+接点領域と共にトランジスタのコレクタ領域を形成する。N-領域100bのこの箇所にはパワートランジスタの本体部分14aに対する強ドープ(P+)のp形ドーピング段にてベース領域Bを形成する。このp形領域P+内に、パワートランジスタのソース領域17に対する強ドープ(N+)のn形ドーピング段でのドーピングによってn形エミッタ領域Eを形成する。

図6 aは本体100の主表面に沿って誘起されるチャネル及びゲート18に対

するプレーナ式のセル構造を示しているが、MOSFET及びIGBT用には所謂「トレンチゲート」構造の様々な既知の形態のものを用い、絶縁ゲート18を領域100b内の隣接するセル間における半導体本体100の主表面のトレンチ内に位置させることができる。この場合には、チャネル（トランジスタ本体の領域14b内に誘起させる）がトレンチの側壁に沿って垂直方向に延在する。図1、図2および図4の短絡検出回路を図6 aに示したようなプレーナ構造又は例えばトレンチゲート構造のパワー半導体デバイスMPWRと一緒に集積化することができることは明らかである。

本発明によるパワーデバイス回路は多数の変更を加え得ることは明らかである。例えば、図2及び図4の回路の回路要素及びそれらの接続を変更することによって、しきい値電圧 $V_{Ig}(to)$ に対する変形関数を得ることができる。図2の回路のR1及びR3を非ピンチ抵抗とし、R2及びR4をピンチ抵抗のまとめることもできる。R1-R4の全てを非ピンチ抵抗とし、ツェナーダイオードZD（又はツェナーダイオードのチェーンが、他の形態の電圧リミッタ）をR1の両端間（又は、R1を分圧抵抗とする場合には、R1の一部）及び／又は図2の比較器CPの(-)入力端子に結合させることもできる。図4の回路では、R2'をピンチ抵抗とし、R1'及びR3'を非ピンチ抵抗のまとめることができる。図5の頂部平坦なカットオフ特性の代わりに、頂部が傾斜又は湾曲するように回路を機能させることもできる。

図2に示す直列ノード11（パワーデバイスMPWRとその負荷RLとの接続点）は回路素子R4によって比較器の入力端子に結合されているが、この直列ノード11は前述したように比較器の入力端子に直接結合させることもでき、即ちR4を省くことができる。本発明による他の回路構成では、比較器へ直列ノード11における電圧の或る予定した関数の電圧を供給する中間回路手段によって直列ノード11を比較器の入力端子に結合させることもできる。このような中間手段はノード11における電圧を倍する増幅器か、ノード11の電圧を分圧する減衰器で構成することができ、ノード11における電圧の大きさには正又は負のオフセットを与えることもできる。

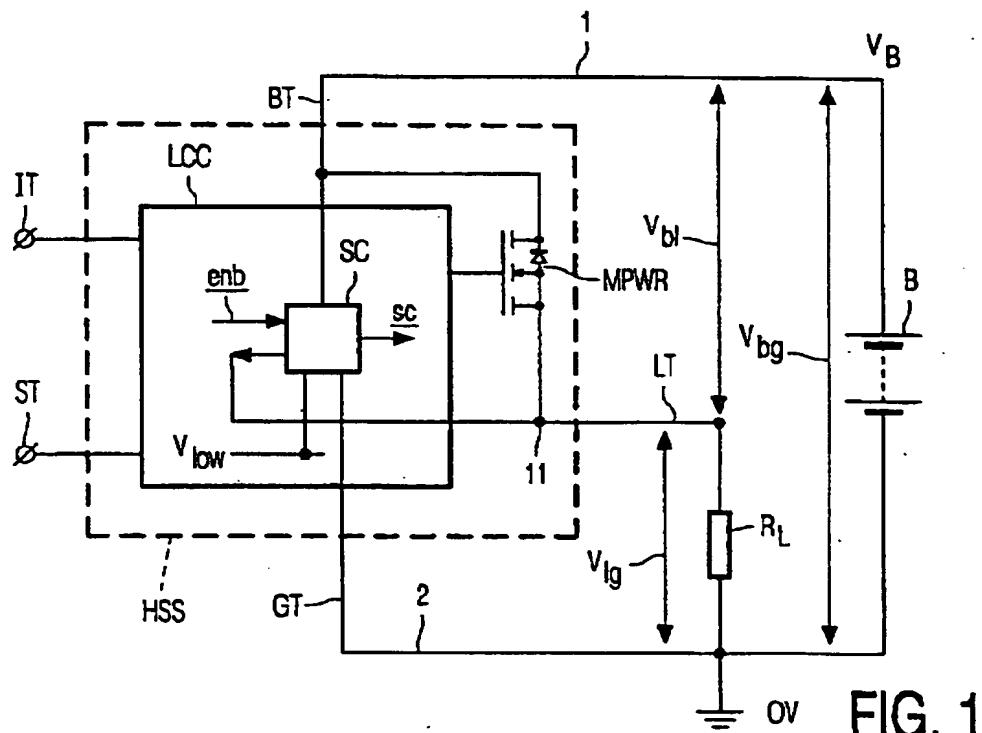
これらの例を高側スイッチHSSについて説明したが、同じ短絡検出原理は、

パワーデバイスMPWRを負荷RLの接地側に位置させる低側スイッチ（LSS）にも使用することができる。HSSの場合には、しきい値電圧をVbl(to) = f(Vbg) の代わりにVlg(to) = f(Vbg) として決定して、パワーデバイスMPWR間のVblの代わりに負荷RL間の電圧Vlgを検出することによって同様な結果を得ることができる。LSSの場合も同様な方法で負荷RL間の電圧Vlg又はパワーデバイスMPWR間の電圧Vblをモニタすることができる。

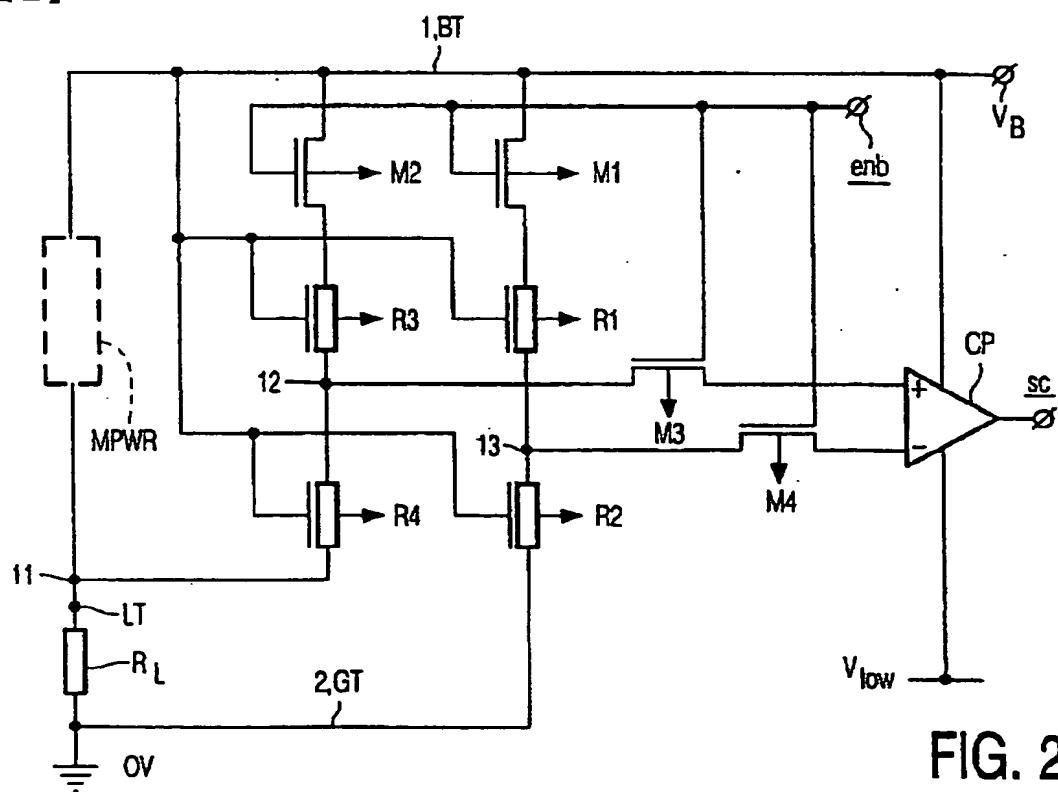
本発明は要するに、上述した及び／又は図面にて例証した新規な特徴を1つ以上有する特に、パワーデバイス回路及び／又は短絡検出器を提供する。上述した及び例証した新規な特徴を1つ以上有する特に、パワーデバイス回路及び／又は短絡検出器を提供する。上述した及び／又は例証した特徴のいずれかを有している短絡検出器は上述した及び／又は例認した特徴のいずれかを有している半導体デバイスと一緒に集積化することができる。

本発明は上述した例のみに限定されるものではなく、幾多の変更を加え得ることは当業者に明らかである。

【図1】



【図2】



【図3】

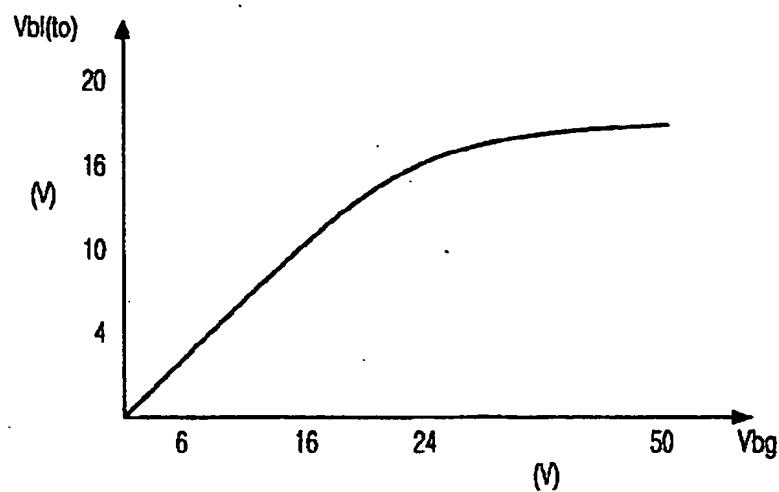


FIG. 3

【図5】

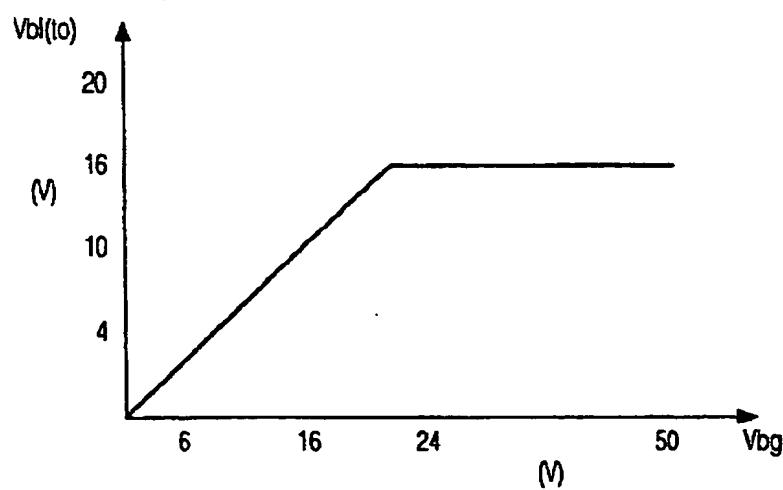


FIG. 5

【図4】

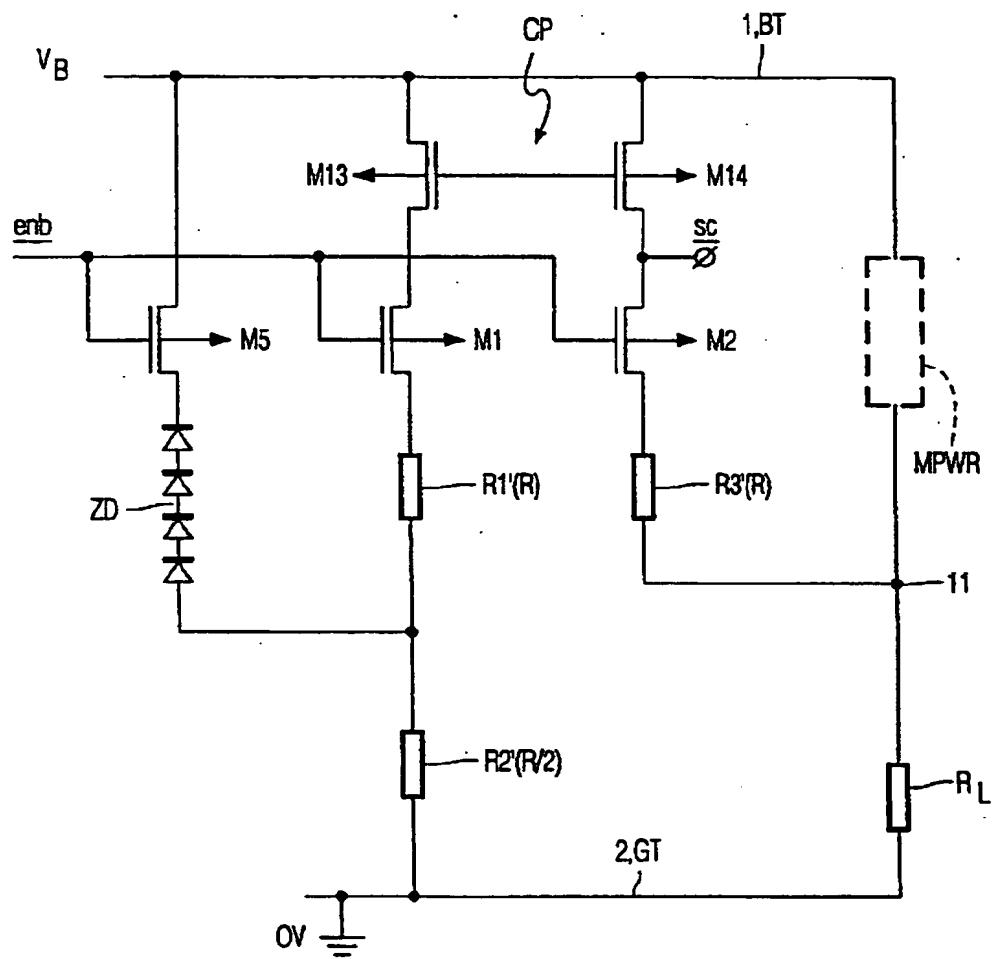


FIG. 4

【図6】

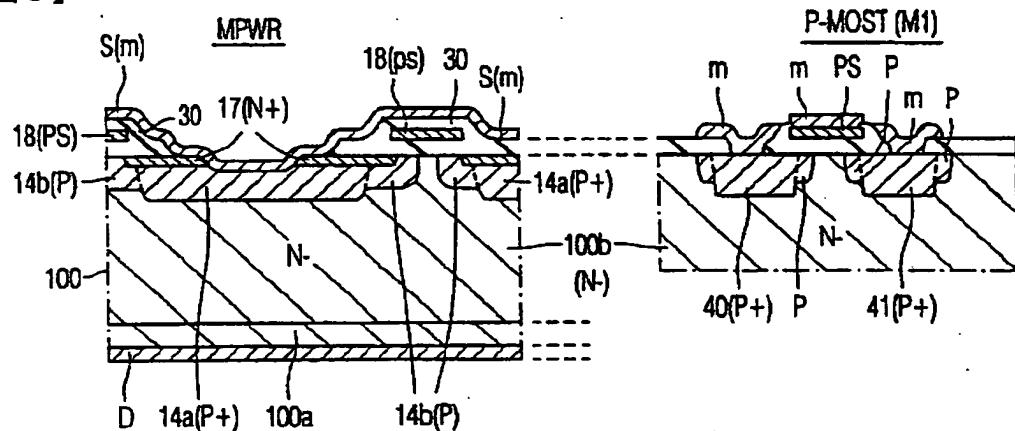


FIG. 6a

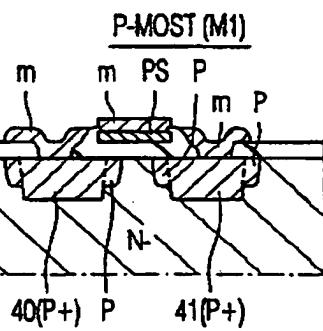


FIG. 6b

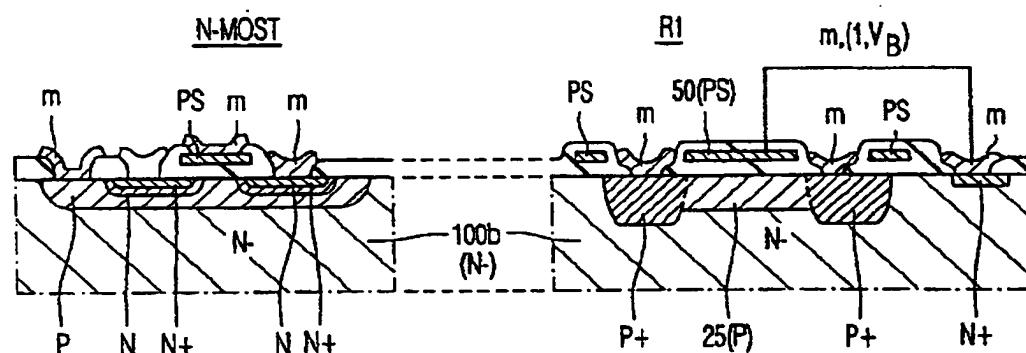


FIG. 6c

FIG. 6d

【図6】

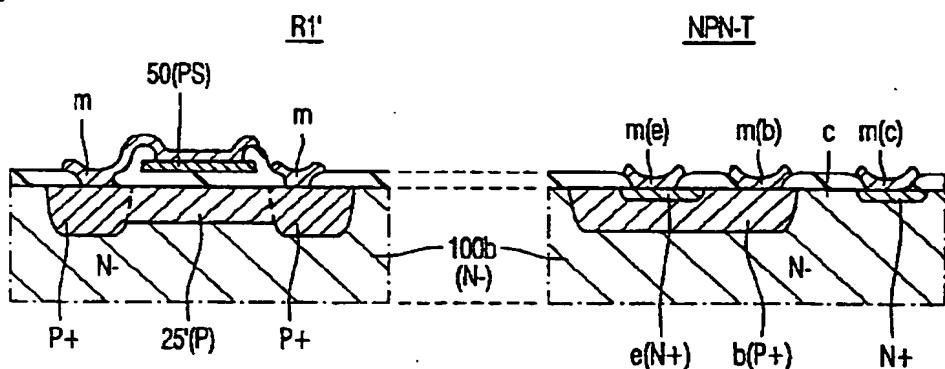


FIG. 6e

FIG. 6f

【図7】

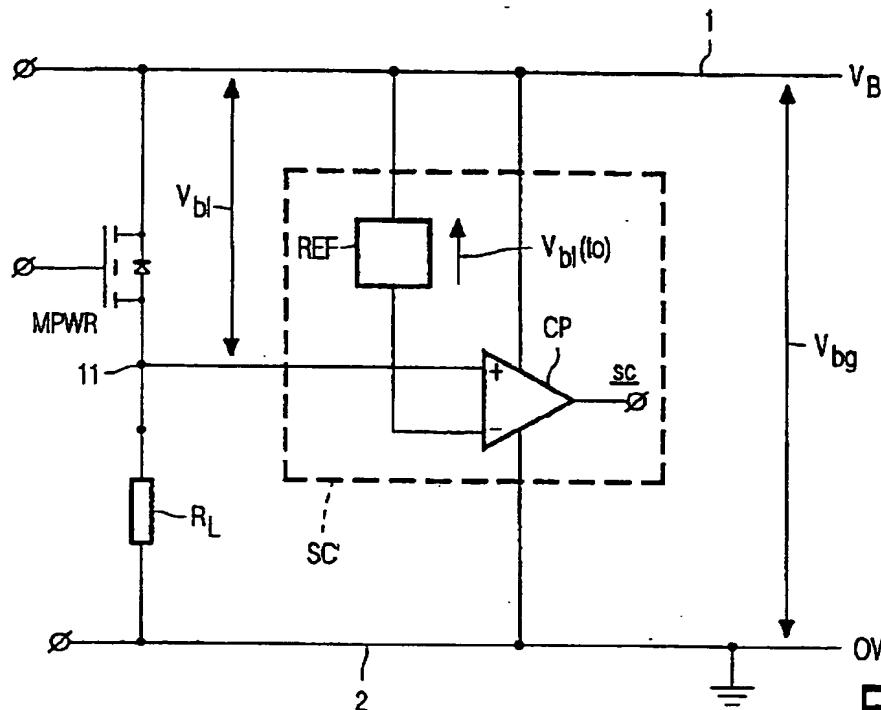


FIG. 7a

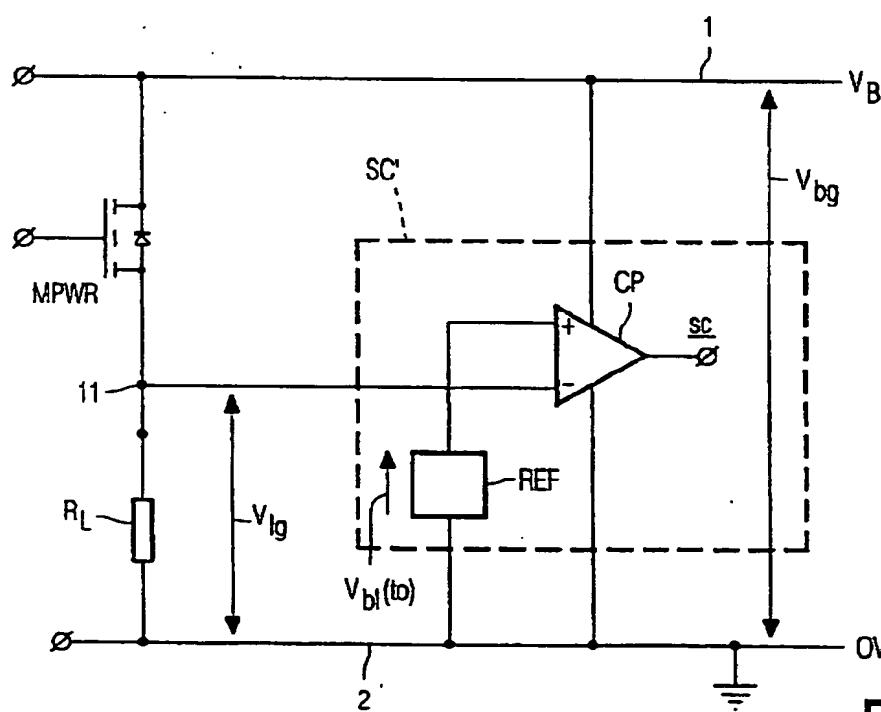


FIG. 7b

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB 98/00138

A. CLASSIFICATION OF SUBJECT MATTER		
IPC6: H03K 17/082, G01R 31/02 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC6: H03K, G01R Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched SE, DK, FI, NO classes as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
WPI		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5086364 A (L.LEIPOLD ET AL), 4 February 1992 (04.02.92), column 1, line 50 - column 2, line 56 --	1-9
A	EP 0287919 A1 (SIEMENS AKTIENGESELLSCHAFT BERLIN UND MÜNCHEN), 26 October 1988 (26.10.88), column 1, line 40 - column 2, line 27 --	1-9
A	US 5138516 A (B.CHAPMAN), 11 August 1992 (11.08.92), column 2, line 61 - column 3, line 34 --	1-9
A	US 4929884 A (P.BIRD ET AL), 29 May 1990 (29.05.90), column 2, line 39 - column 4, line 22 ----	1-9
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 14 July 1998		Date of mailing of the international search report 16-07- 1998
Name and mailing address of the ISA/ Swedish Patent Office Box 5055, S-102 42 STOCKHOLM Facsimile No. + 46 8 666 02 86		Authorized officer Håkan Sandh Telephone No. + 46 8 782 25 00

BEST AVAILABLE COPY

INTERNATIONAL SEARCH REPORT

Information on patent family members

30/06/98

International application No.
PCT/IB 98/00138

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
US 5086364 A	04/02/92	DE 58908719 D EP 0352659 A,B SE 0352659 T3 JP 2069680 A		00/00/00 31/01/90 08/03/90
EP 0287919 A1	26/10/88	DE 3712177 A DE 3873393 A		27/10/88 10/09/92
US 5138516 A	11/08/92	NONE		
US 4929884 A	29/05/90	DE 3884058 D,T EP 0294882 A,B GB 2207315 A,B JP 2679809 B JP 63311418 A KR 9616508 B		07/04/94 14/12/88 25/01/89 19/11/97 20/12/88 12/12/96

BEST AVAILABLE COPY

フロントページの続き

(81) 指定国 E P (A T, B E, C H, D E,
D K, E S, F I, F R, G B, G R, I E, I T, L
U, M C, N L, P T, S E), J P, K R

【要約の続き】

て、比較器 (C P) に入力する対帰線供給電圧 (V_{bg})
の予定関数の電圧が対帰線供給電圧 (V_{bg}) の大きさで
変化するようにする。このような手段により、低い対帰
線供給電圧よりも高い対帰線供給電圧 (V_{bg}) にて低い
割合の対帰線供給電圧 (V_{bg}) を入力させることができ
る。